

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057291

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/60
// H01G 4/33

(21)Application number : 2000-243765

(71)Applicant : IEP TECHNOLOGIES:KK
CASIO COMPUT CO LTD

(22)Date of filing : 11.08.2000

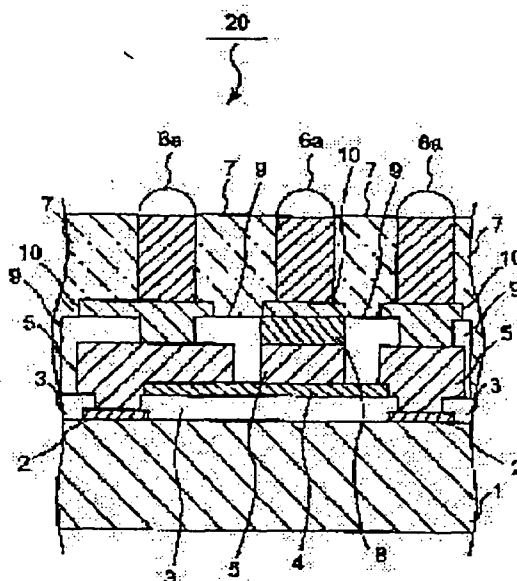
(72)Inventor : TAWARA IWAO
MIHARA ICHIRO
AOKI YOSHITAKA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device as well as its manufacturing method where a capacity element is mounted with no increase in a chip area.

SOLUTION: A first conductor layer 5, a dielectrics layer 8, and a second conductor layer 10 are laminated on a circuit element formation region DA to form a solid capacity element. Or, the dielectrics layer 8 is provided in the gap between one side and the other side of the first conductor layers 5 so provided as to adjoin each other on a first protective film 4 to form a planar capacity element. The dielectrics layer 8 is provided in the gap between one side and the other side of the first conductor layer 5 and a post 6 so provided as to adjoin each other on the first protective film 4 to form a capacity element. Thus, a capacity element is mounted with no increase in a chip area.



LEGAL STATUS

[Date of request for examination] 13.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

25

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57291

(P2002-57291A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C 5 E 0 8 2
21/822		21/92	6 0 4 B 5 F 0 3 8
21/60		H 0 1 G 4/06	1 0 2
// H 0 1 G 4/33			

審査請求 有 請求項の数15 O L (全 16 頁)

(21) 出願番号 特願2000-243765 (P2000-243765)

(22) 出願日 平成12年8月11日 (2000.8.11)

(71) 出願人 500224531

株式会社アイ・イー・ピー・テクノロジー
ズ

東京都八王子市東浅川町550番地の1

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 田原 伊和男

東京都八王子市東浅川町550番地の1 株
式会社アイ・イー・ピー・テクノロジー
内

(74) 代理人 100096699

弁理士 鹿嶋 英實

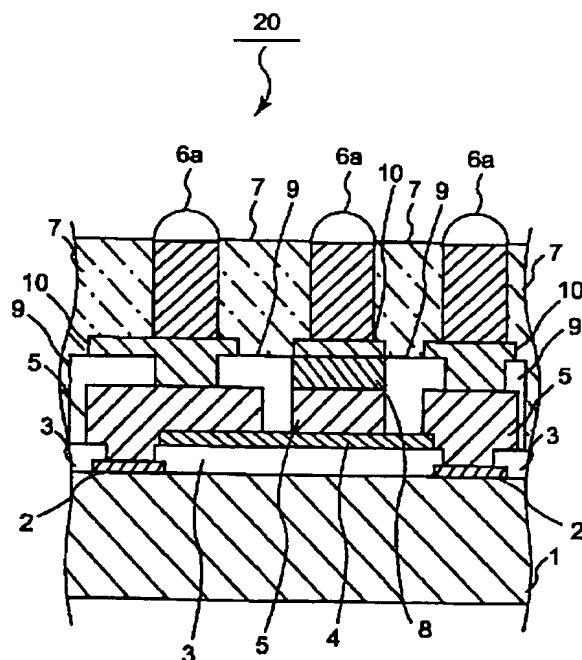
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 チップ面積の増大を招くことなく容量素子を搭載することができる半導体装置およびその製造方法を実現する。

【解決手段】 回路素子形成領域DA上に第1の導体層5、誘電体層8および第2の導体層10とを積層して立体的に容量素子を形成する。または第1の保護膜4上で互いに隣接するよう配置された第1の導体層5の一方側と他方側との間隙に誘電体層8を設けて平面的に容量素子を形成する。あるいは第1の保護膜4上で互いに隣接するよう配置された第1の導体層5およびポスト6の一方側と他方側との間隙に誘電体層8を設けて容量素子を形成する。このようにすることでチップ面積の増大を招くことなく容量素子を搭載し得る。



【特許請求の範囲】

【請求項 1】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極とを備える半導体装置において、前記絶縁膜上に形成された第 1 の導体層と、該第 1 の導体層上に形成された誘電体層と、該誘電体層上に設けられた第 2 の導体層を備え、前記第 1 の導体層と、前記誘電体層および前記第 2 の導体層と、により形成された容量素子を備えていることを特徴とする半導体装置。

【請求項 2】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層とを備え、前記隣接する導体層と前記誘電体層により形成された容量素子を備えていることを特徴とする半導体装置。

【請求項 3】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層、及び、該導体層の各々の上に設けられた板状電極と、少なくとも前記隣接する板状電極の一方側と他方側との間隙に形成された誘電体層を備え、前記隣接する導体層及び板状電極と、前記誘電体層と、により形成された容量素子を備えていることを特徴とする半導体装置。

【請求項 4】 請求項 2、3 に記載の発明において、前記容量素子の一端および他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の周囲を保護膜で覆うことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端および他端が前記接続パッドに接続されていることを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子を複数備えていることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の発明において、前記複数の容量素子は、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され他端に柱状電極が設けられている構成、及び、一端および他端に柱状電極が設けられている構成のうち、少なくとも 2 種類の構成を備えていることを特徴とする半導体装

置。

【請求項 10】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置の製造方法において、前記半導体基板の回路素子形成領域上に絶縁膜を介して第 1 の導体層を形成する工程と、前記第 1 の導体層上に誘電体層を形成するとともに、前記誘電体層上に第 2 の導体層を設けて前記回路素子形成領域上に積層して容量素子を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 11】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に所定の間隙を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、前記導体層の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 12】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該半導体基板の回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に所定の間隙を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、前記隣接する導体層の各々の上に板状電極を形成する工程と、

少なくとも前記板状電極の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 13】 回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、

前記絶縁膜上に、導体層と誘電体層とにより容量素子を形成する工程と、

前記複数の接続パッドに接続された、少なくとも 1 つの柱状電極を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の発明において、前記容量素子形成工程は、前記絶縁膜上で互いに隣接して形成された前記導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層と、により容量素子を形

成する工程を備えることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 10 乃至 13 のいずれかに記載の発明において、

前記容量素子形成工程は、容量素子の周囲を保護膜で覆う工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、チップとパッケージのサイズがほぼ等しくなる CSP 構造の半導体装置が知られており、その構造例を図 24 に示す。この図に示す半導体装置 20 は、保護膜形成、導体層形成、ポスト形成および樹脂封止の各工程からなるパッケージ処理を終えたウエハを個々のチップにダイシングして得られる、所謂ウエハレベル CSP と呼ばれる構造を有している。すなわち、半導体装置 20 は、ウエハ (半導体基板) 1 の表面 (回路面) 側にアルミ電極等からなる複数の接続パッド 2 を有し、この接続パッド 2 の上面側には各接続パッド 2 の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション 3 が形成される。

【0003】 パッシベーション 3 の上面側には、各接続パッド 2 の中央部分が開口するよう保護膜 4 が形成される。保護膜 4 は例えばウエハ 1 の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。こうして形成される保護膜 4 上には、各接続パッド 2 と後述するポスト (柱状電極) 6 とを電気的に接続する導体層 5 が形成される。導体層 5 上の所定箇所には、柱状電極である複数のポスト 6 が設けられる。ポスト 6 を覆うように、ウエハ 1 の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜 7 が形成される。封止膜 7 の上端面は切削研磨され、これにより露出するポスト 6 の端面 6a については、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理が施される。

【0004】

【発明が解決しようとする課題】 ところで、Bluetooth モジュール等の無線 I/F を具現するトランシーバチップでは、PLL 回路や VCO 回路あるいはフィルタ回路などの RF 機能要素が必須になる。これら RF 機能要素を具現するには、容量素子 (キャパクタ) 等の各種受動素子をウエハ 1 の回路素子形成領域 DA (図 25 参照) に設ける必要がある。

【0005】 しかしながら、回路素子形成領域 DA に容

量素子を形成しようとする、必然的にチップ面積の増大を招致してしまう。上述した CSP 構造による半導体装置 20 において、チップ面積が増大すると、1 枚のウエハから個片化されるチップの数が少なくなる上、製造歩留りも悪化する、という問題が生じる。その為、現状では RF 機能要素を具現する各種受動素子をディスクリート部品としてチップに外付けする形態としているが、そのような形態では RF モジュールのダウンサイジング化が難しい、という弊害も派生する。

【0006】 そこで本発明は、このような事情に鑑みてなされたもので、チップ面積の増大を招くことなく容量素子を搭載することができる半導体装置および半導体装置の製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】 上記目的を達成するため、請求項 1 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された第 1 の導体層と、該第 1 の導体層上に形成された誘電体層と、該誘電体層上に設けられた第 2 の導体層を備え、前記第 1 の導体層と、前記誘電体層および前記第 2 の導体層と、により容量素子を形成することを特徴とする。

【0008】 請求項 2 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層とを備え、前記隣接する導体層と前記誘電体層により形成された容量素子を備えていることを特徴とする。

【0009】 請求項 3 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層、及び、該導体層の各々の上に設けられた板状電極と、少なくとも前記隣接する板状電極の一方側と他方側との間隙に形成された誘電体層を備え、前記隣接する導体層及び板状電極と、前記誘電体層と、により形成された容量素子を備えていることを特徴とする。

【0010】 請求項 4 に記載の半導体装置は、請求項 2、3 に記載の発明において、前記容量素子の一端および他端に柱状電極が設けられていることを特徴とする。

【0011】 請求項 5 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の周囲を保護膜で覆うことを特徴とする。

【0012】 請求項 6 に記載の半導体装置は、請求項 1

乃至 3 のいずれかに記載の発明において、前記容量素子の一端および他端が前記接続パッドに接続されていることを特徴とする。

【0013】請求項 7 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする。

【0014】請求項 8 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子を複数備えていることを特徴とする。

【0015】請求項 9 に記載の半導体装置は、請求項 8 に記載の発明において、前記複数の容量素子は、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され、他端に柱状電極が設けられている構成、及び、一端および他端に柱状電極が設けられている構成のうち、少なくとも 2 種類の構成を備えていることを特徴とする。

【0016】請求項 10 に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置の製造方法において、前記半導体基板の回路素子形成領域上に絶縁膜を介して第 1 の導体層を形成する工程と、前記第 1 の導体層上に誘電体層を形成するとともに、前記誘電体層上に第 2 の導体層を設けて前記回路素子形成領域上に積層して容量素子を形成する工程と、を具備することを特徴とする。

【0017】請求項 11 に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に所定の間隔を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、前記導体層の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、を具備することを特徴とする。

【0018】請求項 12 に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該半導体基板の回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に所定の間隔を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、前記隣接する導体層の各々の上に板状電極を形成する工程と、少なくとも前記板状電極の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、を具備することを特徴とする。

【0019】請求項 13 に記載の半導体装置の製造方法

は、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、前記絶縁膜上に、導体層と誘電体層とにより容量素子を形成する工程と、前記複数の接続パッドに接続された、少なくとも 1 つの柱状電極を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、を具備することを特徴とする。

10 【0020】請求項 14 に記載の半導体装置の製造方法は、請求項 13 に記載の発明において、前記容量素子形成工程は、前記絶縁膜上で互いに隣接して形成された前記導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層と、により容量素子を形成する工程を備えることを特徴とする。

【0021】請求項 15 に記載の半導体装置の製造方法は、請求項 10 乃至 13 のいずれかに記載の発明において、前記容量素子形成工程は、容量素子の周囲を保護膜で覆う工程を具備することを特徴とする半導体装置の製造方法。

20 【0022】本発明では、回路素子形成領域上に第 1 の導体層、誘電体層および第 2 の導体層とを積層してチップ内部に積層して容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。また、本発明では、回路素子形成領域上で誘電体層を導体層で挟み込んで平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。さらに、本発明では、回路素子形成領域上で誘電体層を導体層および柱状電極で挟み込んで平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

(1) 第 1 の実施形態

図 1～図 10 は、第 1 の実施形態による半導体装置 20 の構造およびその製造工程を説明する為の断面図である。これらの図において前述した従来例（図 24 参照）と共通する部分には同一の番号を付し、その説明を省略する。第 1 の実施形態による半導体装置 20 が前述した従来例（図 24 参照）と相違する点は、下面が接続パッド 2 に接続される導体層 5（以下、第 1 の導体層 5 と記す）と上面にポスト 6 が形成される導体層 10（以下、第 2 の導体層 10 と記す）との間に誘電体層 8 を設けて容量素子（キャパシタ）を形成し、その容量素子の周囲を保護膜 9（以下、第 2 の保護膜 9）にて覆い、電氣的に絶縁させる構造にしたことにある。

【0024】このような構造によって形成される容量素子は、誘電体層 8 を形成する誘電体の比誘電率、厚さお

7

よび面積でその容量が決る。誘電体層 8 を形成する誘電体としては、例えばチタン酸バリウム、チタン酸タンタル等が用いられる。また、回路素子形成領域 D A 上に積層して形成される容量素子は、各種態様で配置でき、例えば大容量の容量素子を設ける場合には図 2 (イ) に図示するように誘電体層 8 の面積を広げる態様とし、また複数の容量素子を設ける場合には図 2 (ロ) に図示する態様にする。

【0025】次に、図 3～図 10 を参照して、上記構造による半導体装置 20 の製造工程について説明する。第 1 の実施形態による製造工程では、先ず図 3 に図示する通り、ウエハ 1 の回路面側に設けられたアルミ電極等からなる複数の接続パッド 2 の上面側に、それぞれ各接続パッド 2 の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション 3 を形成する。この後、パッシベーション 3 の上面側に各接続パッド 2 の中央部分が開口するよう保護膜 4 (以下、第 1 の保護膜 4 と記す) を形成する。

【0026】この第 1 の保護膜 4 は、例えばウエハ 1 の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。保護膜 4 は、ポリイミド系樹脂材を塗布してスピコートする手法の他、スキージを用いる印刷法やノズルからのインク吐出による塗布法を用いることが可能であり、保護膜材料としてもポリイミド系樹脂材に限らず、エポキシ系樹脂材や PBO (ベンザオキシドール系) 等を用いても良い。

【0027】次に、図 4 および図 5 に図示するように、保護膜 4 に形成された開口部を介して露出される接続パッド 2 上に第 1 の導体層 5 を形成する。第 1 の導体層 5 は保護膜 4 の全面に UBM スパッタ処理等により UBM 層 (図示略) を堆積し、この後、導体層用のフォトリソグレイブ法を有するパターンニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。第 1 の導体層 5 を形成する手法としては、これ以外に無電解メッキ方法を用いることもできる。配線材料としては、良好な導電特性を備える銅、アルミおよび金あるいはこれらの合金を用いる。

【0028】第 1 の導体層 5 を形成した後には、第 1 の導体層 5 上の所定箇所に誘電体層 8 を形成する。誘電体層 8 は、例えばレジストでパターン形成した後、誘電体材料をスパッタリングで所定厚まで堆積させて層成する。そして、誘電体層 8 を形成した後には、図 6 に図示するように、誘電体層 8 を他層と電気的に絶縁させると共に、第 2 の導体層 10 が設けられる部分や、ダイシングカットされる部分を開口するよう第 2 の保護膜 9 を形成する。第 2 の保護膜 9 は、前述した第 1 の保護膜 4 と同様、例えばウエハ 1 の回路面側全面にポリイミド系樹

8

脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0029】次いで、第 2 の保護膜 9 が形成されると、図 7 に図示するように、第 2 の保護膜 9 に形成された開口部を介して露出される第 1 の導体層 5 と電気的に接続する一方、誘電体層 8 の上面側に電気的に接続する第 2 の導体層 10 を形成する。第 2 の導体層 10 は、前述した第 1 の導体層 5 と同様、レジストでパターン形成した後に電解メッキを施すことで形成される。第 2 の導体層 10 を形成した後は、図 8 に図示するように、各導体層 10 上の所定箇所にポスト 6 を設ける。

【0030】ポスト 6 は、例えば 100～150 μm 程度の厚さでポスト形成用のフォトリソグレイブ法を有するレジストを塗布硬化させた上、第 2 の導体層 10 の所定箇所を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。ポスト 6 を形成する手法としては、これ以外に無電解メッキ方法やスタッドバンプ法を用いることもできる。ポスト材料は、良好な導電特性を備える銅、ハンダ、金あるいはニッケル等を用いる。なお、ポスト形成材料としてはんだを用いる場合は、この後リフロー処理を施す事により球状の電極を形成することも出来る。また、はんだを用いてポスト 6 を形成する場合には、上記の他に印刷法を用いることもできる。

【0031】こうして、図 8 に図示した構造が形成された後は、図 9 に図示するように、ポスト 6 を覆うように、ウエハ 1 の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜 7 を形成する。封止膜 7 は、環境変化に対応する信頼性を確保する上で、好ましくは上述した第 1 の保護膜 4 や第 2 の保護膜 9 と主成分が実質的に同一な樹脂材とする。なお、封止膜 7 を形成する手法としては、上記モールド法の他に、印刷法、浸漬法、スピコート法、ダイコート法を用いることもできる。

【0032】ポスト 6 の樹脂封止後には、図 10 に示すように、封止膜 7 の上端面を切削研磨してポスト 6 の端面 6a を露出させ、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。この後、予め定められたカットライン CL に沿ってダイシングを施してウエハ 1 をチップに個片化する。これにより、図 1 に図示した構造の半導体装置 20 が生成される。

【0033】さて、このような構造を有する半導体装置 20 では、第 1 の導体層 5、誘電体層 8 および第 2 の導体層 10 とを積層して立体的に容量素子を形成しているので、第 2 の導体層再配線 10 およびポスト 6 の配置態様に応じて容量素子を様々な形態で集積回路 (LSI) に接続し得る。その具体例を、図 11～図 14 を参照して説明する。これらの図は、半導体装置 20 における第 2 の導体層 10 およびポスト 6 の配置態様に応じた容量素子の接続形態と、それに対応する等価回路を図示して

いる。

【0034】図11は第1の導体層5、誘電体層8および第2の導体層10を積層してなる容量素子の一端および他端を外部に引出さず、接続パッド2-2、2-3を介してウエハ1に接続する形態を図示している。図12はウエハ1と接続する接続パッド2-1、2-2に容量素子の一端を接続し、他端を端子T1、T2に接続する形態を図示している。図13は並列的に設けた両容量素子の一端を接続パッド2-2に接続し、各他端を端子T2、T3にそれぞれ接続する形態を図示している。図14はウエハ1に接続する各接続パッド2-1~2-3の内、接続パッド2-2に容量素子の一端を接続し、他端を端子T2に接続する形態を図示している。

【0035】以上のように、第1の実施形態によれば、回路素子形成領域DA上に第1の導体層5、誘電体層8および第2の導体層10とを積層して立体的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。また、回路素子形成領域DA上に複数の容量素子を設ける場合に、図11~図14に示した容量素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0036】すなわち、第1の実施形態によれば、第2の導体層10およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路(LSI)に接続し得るので、チップ面積のダウンサイジング化は勿論、Bluetoothモジュールに適用した場合には従来、必要とされていた外付け容量素子を内蔵できるから、モジュールのダウンサイジング化にも寄与することができる。

【0037】なお、上述した第1の実施形態では、誘電体層8を単層としたが、これに限らず誘電体層8と第2の導体層10とを交互に積み重ねた複層構造にて複数の容量素子を形成しても良い。その場合、交互に積み重ねた複数の第2の導体層10のパターンにより複数の容量素子を並列接続したり、直列接続することができる。また、第1の実施形態では、説明の簡略化を図る為、単に第1の導体層5、誘電体層8および第2の導体層10とを積層した容量素子としたが、実際にはその容量素子が他の導体層に与える影響、すなわち、浮遊容量や寄生容量を抑えるために、例えば、導体層5または導体層10と同一平面の近傍位置に、導体層5または導体層10と同じ材料よりなる、グランド層を設ける態様としても良い。さらに、第1の実施形態では、誘電体層8を設けて容量素子を形成するようにしたが、これに替えて、例えば第2の保護膜9に誘電体材料を混入させて誘電体層8を兼ねるようにしても良い。

【0038】(2) 第2の実施形態

図15~図18は、第2の実施形態による半導体装置20の構造およびその製造工程を説明する為の断面図である。これらの図において上述した第1の実施形態(図1

参照)と共通する部分には同一の番号を付し、その説明を省略する。上述した第1の実施形態では、第1の導体層5、誘電体層8および第2の導体層10とを積層して立体的に容量素子を形成したのに対し、第2の実施形態では図15に図示するように、第1の保護膜4上で互いに隣接するよう配置された導体層5の一方側と他方側との間隙に誘電体層8を形成する。つまり、誘電体層8を導体層5で挟み込んで平面的に容量素子を形成する構造としている。

【0039】上記構造により形成される容量素子は、第1の実施形態と同様、誘電体層8を形成する誘電体の比誘電率、厚さおよび面積でその容量が決る。誘電体層8を形成する誘電体としては、例えばチタン酸バリウム、チタン酸タンタル等が用いられる。また、こうして回路素子形成領域DA上に平面的に形成される容量素子は、各種態様で配置でき、例えば大容量の容量素子を設ける場合には図16(イ)に図示する態様に、また複数の容量素子を設ける場合には図16(ロ)に図示する態様にする。

【0040】次に、図17~図18を参照して、第2の実施形態による半導体装置20の製造工程について説明する。第2の実施形態による製造工程が上述した第1の実施形態と異なる点は、第1の保護膜4上で互いに隣接するよう配置された導体層5の一方側と他方側との間隙に誘電体層8を形成した後に第2の保護膜9を設けることにある。すなわち、第2の実施形態による製造工程では、第1の実施形態と同様、ウエハ1の回路面側に設けられたアルミ電極等からなる複数の接続パッド2の上面側に、それぞれ各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション3を形成した後、このパッシベーション3の上面側に各接続パッド2の中央部分が開口するよう第1の保護膜4を形成する。

【0041】第1の保護膜4を形成したら、図17に図示するように、第1の保護膜4に形成された開口部を介して露出される接続パッド2上に導体層5を形成する。導体層5は保護膜4の全面にUBMスパッタ処理等によりUBM層(図示略)を堆積し、この後、導体層用のフォトリソグラフ技術により所定形状の開口を有するパターニングを施した後、レジストによって開口された部分に電解メッキを施すことで形成される。この際、第1の保護膜4上の所定位置には誘電体層8を設けるための開口部(間隙)が形成される。

【0042】導体層5を形成した後は、図17に示すように、第1の保護膜4上に設けられた開口部(間隙)に誘電体層8を形成する。誘電体層8は、例えばレジストでパターン形成した後、誘電体材料をスパッタリングで所定厚まで堆積させて層成する。そして、誘電体層8を形成した後は、図18に図示するように、誘電体層

8を電氣的に絶縁すべく第2の保護膜9を形成し、続いて第2の保護膜9に形成された開口部を介して露出される導体層5と電氣的に接続するポスト6を設ける。

【0043】この後、ポスト6を覆うように、ウエハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7を形成する。封止膜7を形成した後は、封止膜7の上端面を切削研磨してポスト6の端面6aを露出させ、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。次いで、予め定められたカットラインに沿ってダイシングを施してウエハ1をチップに個片化することによって、図15に図示した構造の半導体装置20が得られる。

【0044】このような構造を有する半導体装置20では、誘電体層8を導体層5で挟み込んで平面的に容量素子を形成しているため、導体層5およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路(LSI)に接続し得る。その具体例を、図19～図21を参照して説明する。これらの図は、半導体装置20における導体層5およびポスト6の配置態様に応じた容量素子の接続形態と、それに対応する等価回路を図示している。

【0045】図19は誘電体層8を導体層5で挟み込んで形成した容量素子の一端および他端をウエハ1に接続させずに外部へ引出す形態、つまり、予備的に用いる容量素子をチップ搭載した形態を図示している。図20は容量素子の一端および他端を外部に引出さず、直接的に接続パッド2-1、2-2を介してウエハ1に接続する形態を図示している。図21はウエハ1と接続する接続パッド2-1、2-2に容量素子を並列接続する形態、つまり、補助的に用いる容量素子をチップ搭載した形態を図示している。

【0046】以上のように、第2の実施形態によれば、回路素子形成領域DA上で誘電体層8を導体層5で挟み込んで平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。また、第2の実施形態によれば、平面的に容量素子を形成するから、立体的に容量素子を形成する第1の実施形態よりもプロセスの簡略化を図ることができる。また、回路素子形成領域DA上に複数の容量素子を設ける場合に、図19～図21に示した容量素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0047】すなわち、第2の実施形態では、導体層5およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路(LSI)に接続し得るので、チップ面積のダウンサイジング化は勿論、Blue toothモジュールに適用した場合には従来、必要とされていた外付け容量素子を内蔵できるから、モジュールのダウンサイジング化にも寄与することができる。

【0048】なお、第2の実施形態では、説明の簡略化

を図る為、単に誘電体層8を第1の導体層5で挟み込んだ容量素子としたが、実際にはその容量素子が他の導体層に与える影響、すなわち、浮遊容量や寄生容量を抑えるために、例えば、導体層5と同一平面の近傍位置に、導体層5と同じ材料よりなる、グランド層を設ける態様としても良い。

【0049】(3) 第3の実施形態

次に、図22を参照して第3の実施形態について説明する。図22は、第3の実施形態による半導体装置20の構造を示す断面図であり、この図において上述した第2の実施形態(図15参照)と共通する部分には同一の番号を付し、その説明を省略する。

【0050】上述した第2の実施形態では、誘電体層8を第1の導体層5で挟み込んで平面的に容量素子を形成したのに対し、第3の実施形態では図22に図示するように、第1の保護膜4上で互いに隣接するよう配置された第1の導体層5およびポスト6の一方側と他方側との間に誘電体層8を形成する。つまり、誘電体層8を第1の導体層5およびポスト6で挟み込んで平面的に容量素子を形成するようになっている。この場合、誘電体層8を挟み込むポスト6は、角柱状もしくは平面視直方形をなす板状に形成する。なお、誘電体層8を板状のポスト6のみで挟み込むようにしてもよい。

【0051】上述した構造にて形成される容量素子は、第2の実施形態と同様、誘電体層8を形成する誘電体の比誘電率、厚さおよび面積でその容量が決り、誘電体層8を形成する誘電体としては例えばチタン酸バリウム、チタン酸タンタル等が用いられる。こうして平面的に形成される容量素子は、誘電体層8を挟み込むポスト6の形状に応じて各種態様でチップ上に配置できる。例えば、ポスト6を平面視直方形をなす板状に形成した場合には図23(イ)に図示する態様で容量素子をチップ上に配置することになる。

【0052】また、図23(ロ)に図示するように、板状のポスト6をチップ周縁に敷設する態様にする 것도可能であり、このようにすることで誘電体層8の面積をより大きくすることができるため、大容量の容量素子を形成し得る。このような構造を有する半導体装置20では、誘電体層8を導体層5およびポスト6で挟み込んで平面的に容量素子を形成しているため、図示は省略したが、前記第2の実施形態と同様に、容量素子を様々な形態で集積回路(LSI)に接続し得る。また、回路素子形成領域DA上に複数の容量素子を設ける場合に、これらの各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0053】以上のように、第3の実施形態によれば、回路素子形成領域DA上で誘電体層8を第1の導体層5およびポスト6で挟み込んで平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく、前記第2の実施形態の場合より大きな容量素子を搭載す

ることが可能になる。なお、上述した各実施形態に基づき、回路素子形成領域DA上に複数の容量素子を設ける場合に、各実施形態における容量素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0054】

【発明の効果】請求項1および請求項10に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された第1の導体層と該第1の導体層上に形成された誘電体層と該誘電体層上に設けられた第2の導体層とにより形成された容量素子を備えて、回路素子形成領域上に積層して容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を形成し、搭載することができる。請求項2および請求項11に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層と該導体層の一方側と他方側との間隙に形成された誘電体層とにより形成された容量素子を備えて、回路素子形成領域上に平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく、簡単な製造工程で、容量素子を形成し、搭載することができる。請求項3および請求項12に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層、及び、該導体層の各々の上に設けられた板状電極と、少なくとも前記隣接板状電極の一方側と他方側との間隙に形成された誘電体層とにより容量素子を形成するようにしたので、チップ面積の増大を招くことなく、大容量の容量素子を形成し、搭載することができる。請求項4～9に記載の発明によれば、回路素子形成領域上に絶縁膜を介して設けられる容量素子を、回路素子形成領域の集積回路に対して様々な形態で接続し得るので、チップ面積の縮小、及びモジュール面積の縮小を行うことができる。請求項13～15に記載の発明によれば、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板の回路素子形成領域上に、絶縁膜を介して、導体層と誘電体層による容量素子を形成し、前記複数の接続パッドに接続された、少なくとも1つの柱状電極を形成した後、チップ形成領域に分断して複数のチップを形成するようにしたので、回路素子形成領域上に、絶縁膜を介して容量素子を搭載した複数のチップを、まとめて形成することができる。

【図面の簡単な説明】

【図1】第1の実施形態による半導体装置20の構造を示す断面図である。

【図2】容量素子に配置形態を説明するための平面図である。

【図3】第1の実施形態による半導体装置の製造工程を説明する為の断面図である。

【図4】図3に続く半導体装置の製造工程を説明する為の断面図である。

10 【図5】図4に続く半導体装置の製造工程を説明する為の断面図である。

【図6】図5に続く半導体装置の製造工程を説明する為の断面図である。

【図7】図6に続く半導体装置の製造工程を説明する為の断面図である。

【図8】図8に続く半導体装置の製造工程を説明する為の断面図である。

【図9】図9に続く半導体装置の製造工程を説明する為の断面図である。

20 【図10】図9に続く半導体装置の製造工程を説明する為の断面図であり、個片化された半導体装置20の完成状態を示すものである。

【図11】容量素子の接続態様を説明するための図である。

【図12】容量素子の接続態様を説明するための図である。

【図13】容量素子の接続態様を説明するための図である。

30 【図14】容量素子の接続態様を説明するための図である。

【図15】第2の実施形態による半導体装置20の構造を示す断面図である。

【図16】容量素子に配置形態を説明するための平面図である。

【図17】第1の実施形態による半導体装置の製造工程を説明する為の断面図である。

【図18】図17に続く半導体装置の製造工程を説明する為の断面図である。

40 【図19】容量素子の接続態様を説明するための図である。

【図20】容量素子の接続態様を説明するための図である。

【図21】容量素子の接続態様を説明するための図である。

【図22】第3の実施形態による半導体装置20の構造を示す断面図である。

【図23】容量素子に配置形態を説明するための平面図である。

50 【図24】従来例による半導体装置20の構造を示す断面図である。

15

16

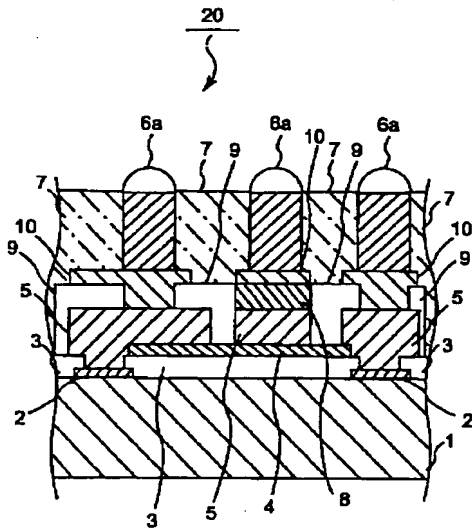
【図25】ウエハ1の回路素子形成領域DAを示す平面図である。

【符号の説明】

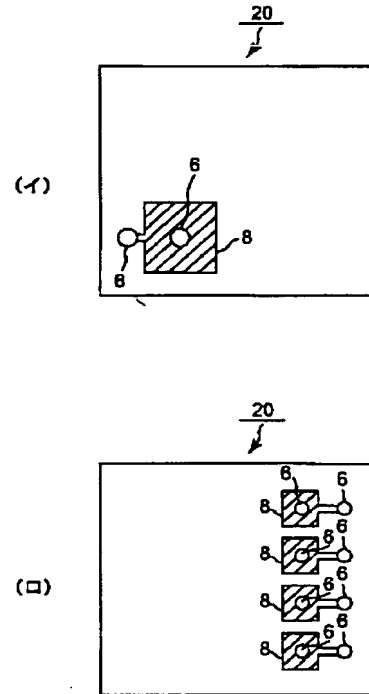
- 1 ウエハ（半導体基板）
- 2 接続パッド
- 3 パッシベーション
- 4 保護膜

- 5 第1の導電層
- 6 ポスト（柱状電極）
- 7 封止膜
- 8 誘電体層
- 9 保護膜
- 10 第2の導電層
- 20 半導体装置

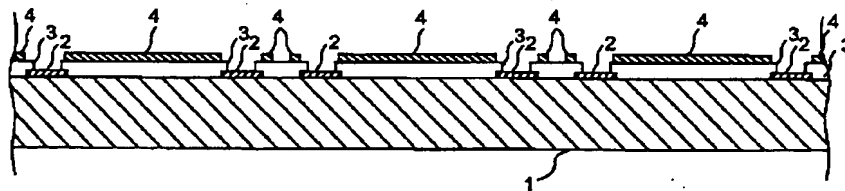
【図1】



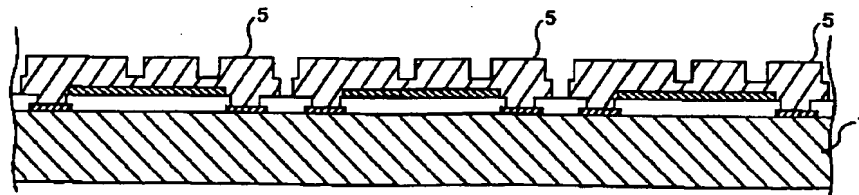
【図2】



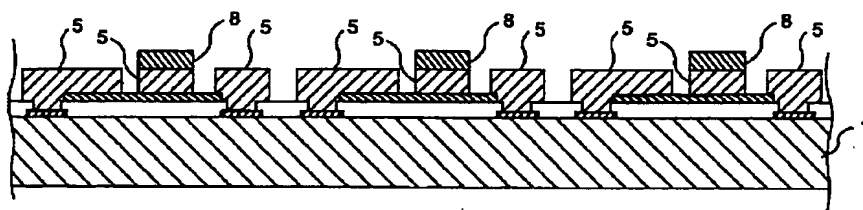
【図3】



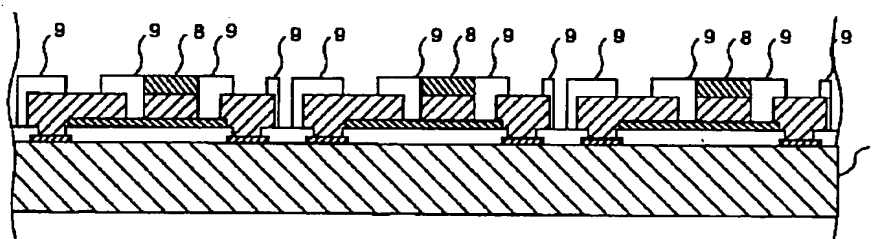
【図4】



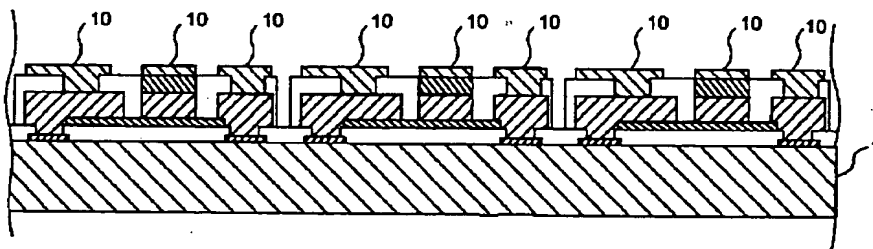
【図 5】



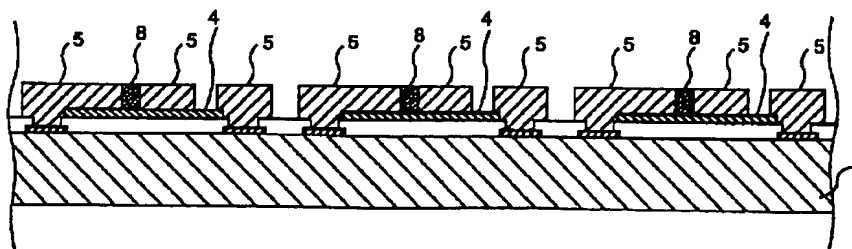
【図 6】



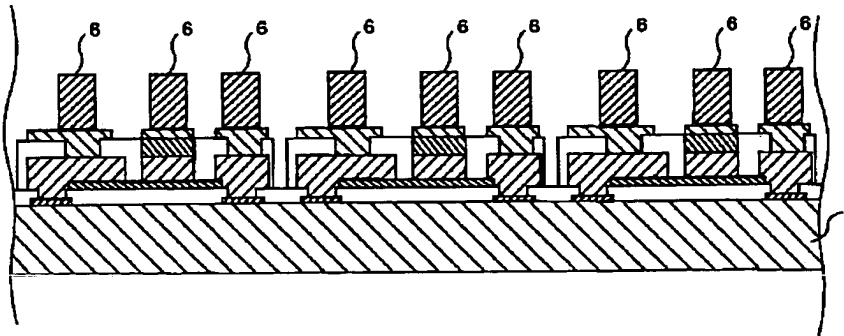
【図 7】



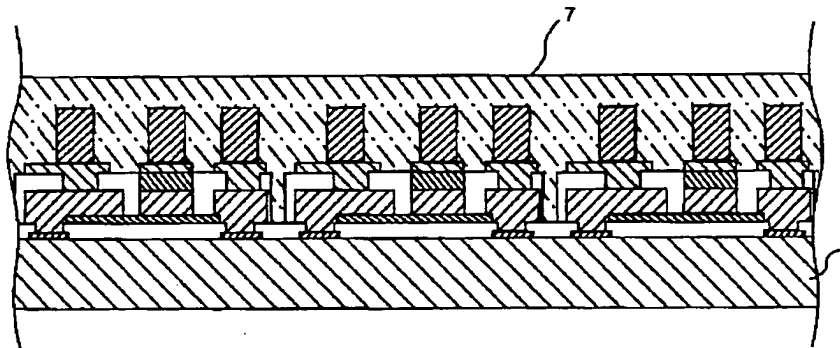
【図 17】



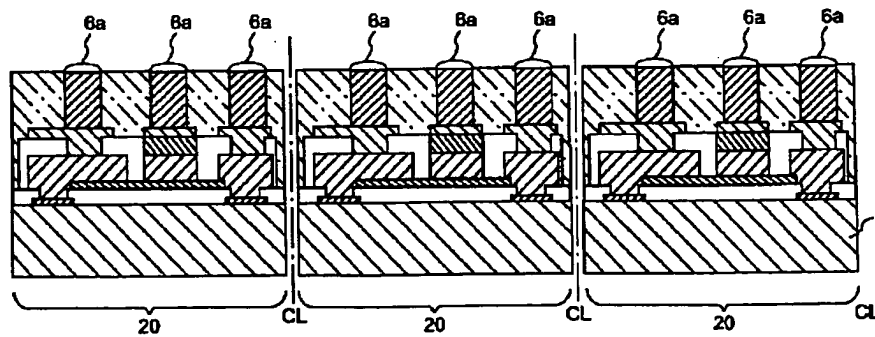
【図 8】



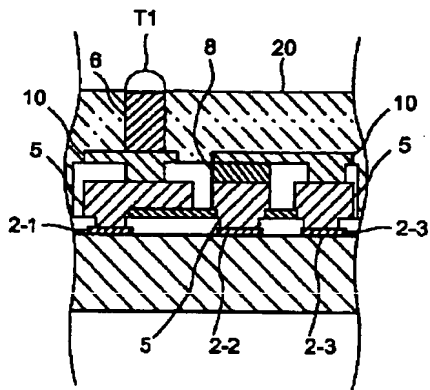
【図 9】



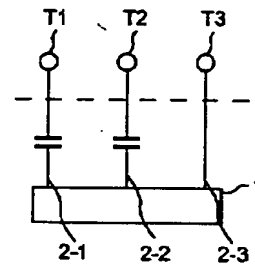
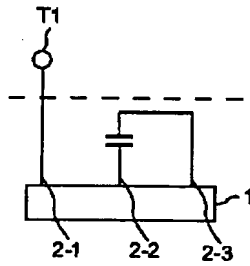
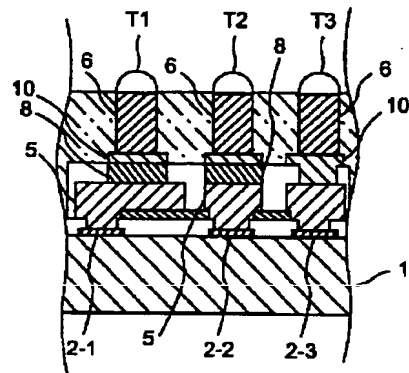
【図 10】



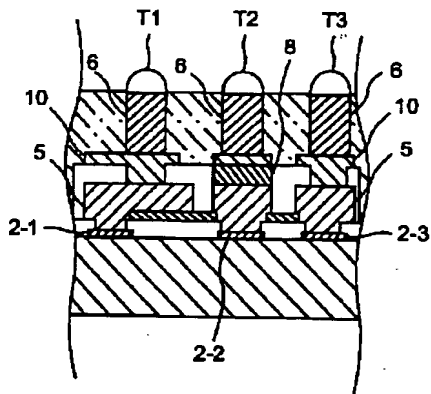
【図 11】



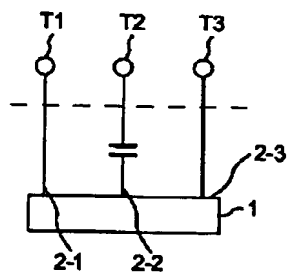
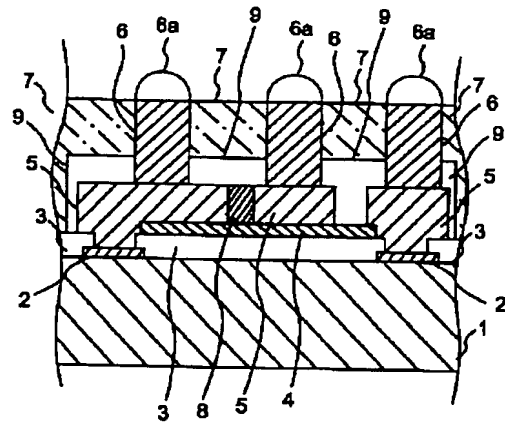
【図 12】



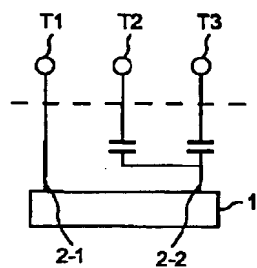
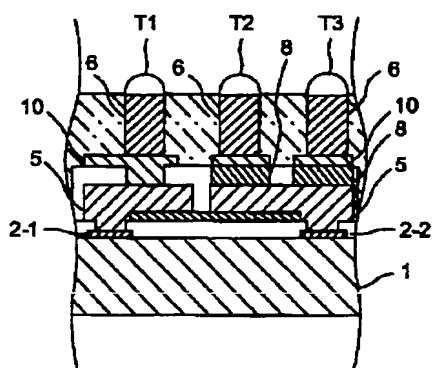
【図 14】



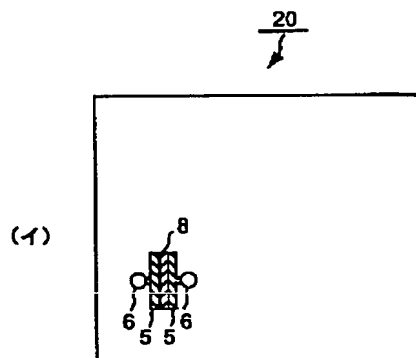
【図 15】



【図13】

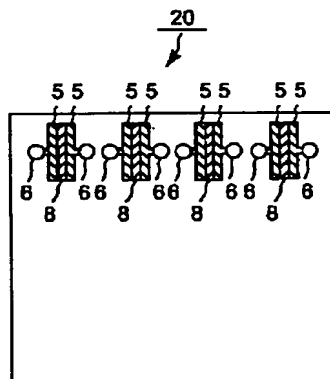


【図16】

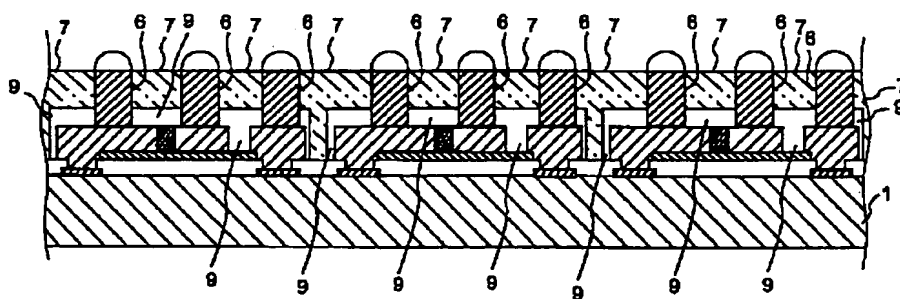


(イ)

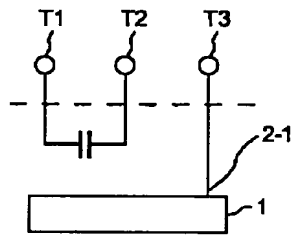
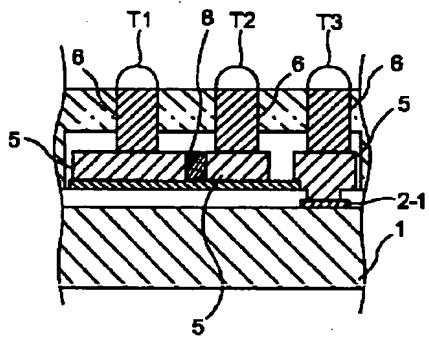
(ロ)



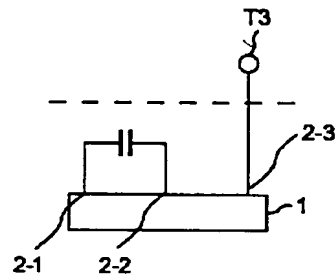
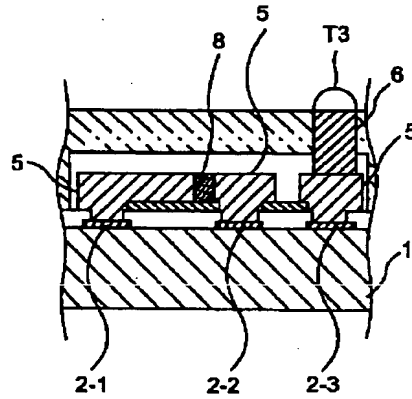
【図18】



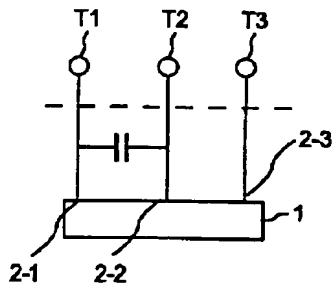
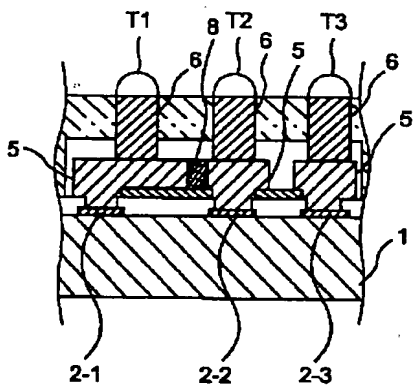
【図 19】



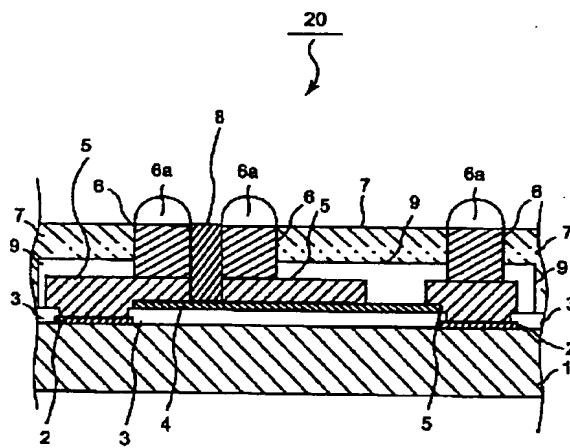
【図 20】



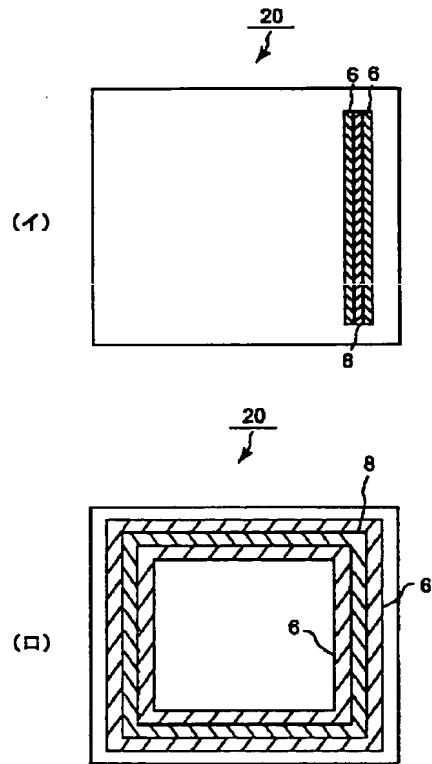
【図 21】



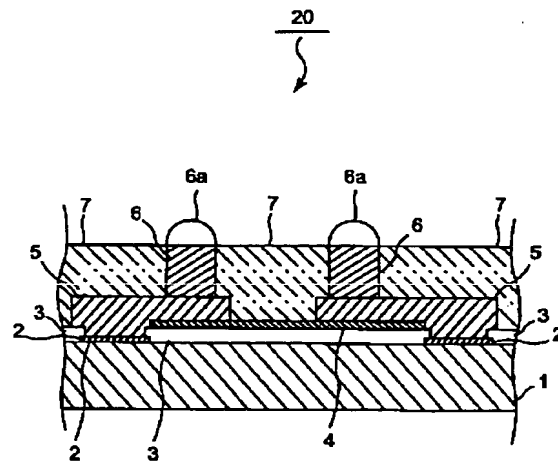
【図 22】



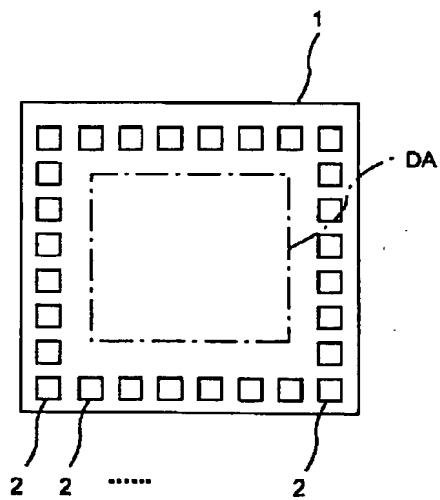
【図 23】



【図 24】



【図 25】



フロントページの続き

(72)発明者 三原 一郎

東京都八王子市東浅川町550番地の1 株
式会社アイ・イー・ビー・テクノロジーズ
内

(72)発明者 青木 由隆

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

Fターム(参考) 5E082 AB03 BB10 FG03 FG26 FG27

FG42 KK01

5F038 AC05 AC17 BE07 EZ14 EZ15